

© EPODOC / EPO

PN - JP10126394 A 19980515
PD - 1998-05-15
PR - JP19960279704 19961022
OPD - 1996-10-22
TI - PHASE CORRECTION TRANSMISSION SYSTEM AND PHASE
CORRECTION TRANSMITTER
IN - OKUYAMA MASARU
PA - OI ELECTRIC
IC - H04L7/00

© WPI / DERWENT

TI - Position correction transmission system for telephone
communication - generates position-correction data based on
phase difference of clock frequencies of synchronous and
asynchronous circuits and transmits to asynchronous network along
with transmitted data

PR - JP19960279704 19961022

PN - JP3083767B2 B2 20000904 DW200045 H04L7/00 005pp
- JP10126394 A 19980515 DW199830 H04L7/00 005pp

PA - (OIDE-N) OI DENKI KK

IC - H04L7/00

AB - J10126394 The system transmits data between a synchronous
network (1) and an asynchronous network (2). The clock frequency
used for data transmission in the synchronous network is different
from that used in the asynchronous network. A phase comparative
circuit (35) compares the phase of both the clock frequencies.
Based on the output of the phase comparator circuit, a position
correction data is generated by a control signal generating circuit. A
transmitting data register circuit (38) stores the transmitting data of
the synchronous network.

- Synthesised data is generated using the transmitting data and the
position correction data. A data multiplex circuit (39) sends the
synthesised data to the receiving data register (32) of the
asynchronous network. A control-signal detection circuit (33)
detects the position correction data from the synthesised data. A
phase oscillation circuit generates the clock frequency to read-out
the receiving data using the detected position correction data.

- ADVANTAGE - Avoids loss of data. Prevents duplication of data.

- (Dwg.1/3)

OPD - 1996-10-22

AN - 1998-339882 [30]

© PAJ / JPO

PN - JP10126394 A 19980515

PD - 1998-05-15

AP - JP19960279704 19961022

IN - OKUYAMA MASARU

PA - OI DENKI KK

TI - PHASE CORRECTION TRANSMISSION SYSTEM AND PHASE CORRECTION TRANSMITTER

AB - PROBLEM TO BE SOLVED: To provide the phase correction transmission system in which matching performance of data transmission between a synchronization network and an asynchronization network is ensured in the data transmission between the synchronization networks via the asynchronization network and missing data and overlapped data are prevented at a low cost and the phase correction transmitter which is used to build up the phase correction transmission system.

- SOLUTION: In the phase correction transmission system, a phase correction transmitter 3 as an interface circuit with an asynchronization network 2 is placed in a synchronization network 1. The phase correction transmitter 3 applies subordinate synchronization of a clock frequency used for data transmission in other synchronization network (slave station) to a clock frequency for data transmission by the one synchronization network (master station), so as to realize data transmission between the synchronization networks 1 by the same clock frequency.

I - H04L7/00

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-126394

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶

H 0 4 L 7/00

識別記号

F I

H 0 4 L 7/00

B

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平8-279704

(22) 出願日 平成8年(1996)10月22日

(71) 出願人 000204424

大井電気株式会社

神奈川県横浜市港北区菊名7丁目3番16号

(72) 発明者 奥山 勝

神奈川県横浜市港北区菊名7-3-16 大

井電気株式会社内

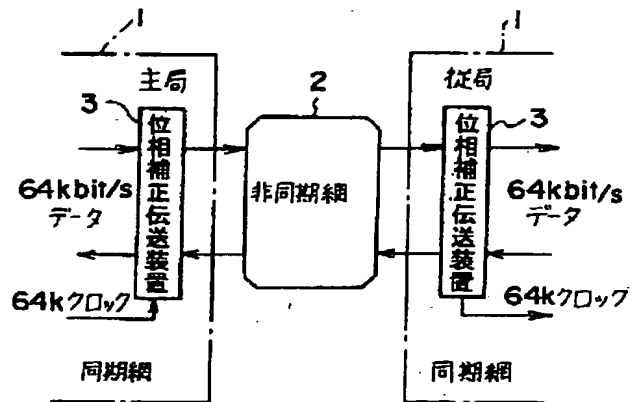
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 位相補正伝送システム及び位相補正伝送装置

(57) 【要約】

【課題】 非同期網を仲介する同期網間のデータ伝送に際し、同期網と非同期網との間のデータ伝送の整合性を確保し、データの欠落、重複が安価に防止できる位相補正伝送システムの提供。前記位相補正伝送システムを構築する位相補正伝送装置の提供。

【解決手段】 位相補正伝送システムにおいて、非同期網2とのインターフェイス回路として同期網1内に位相補正伝送装置3が配置される。この位相補正伝送装置3は、一方の同期網(主局)1でデータ伝送を行うクロック周波数に他方の同期網(従局)1でデータ伝送を行うクロック周波数を従属同期させ、同期網1相互間のデータ伝送を同一クロック周波数で実現する。



【特許請求の範囲】

【請求項1】 それぞれ同一クロック周波数でデータを伝送する複数の同期網と、
前記複数の同期網の間に介在し、これらの同期網のクロック周波数とは異なるクロック周波数でデータを伝送する非同期網と、
前記同期網のクロック周波数と非同期網のクロック周波数との間のクロック周波数の位相比較を行う位相比較回路と、
前記位相比較回路で得られたクロック周波数の位相比較結果に基づき、前記同期網でデータ伝送を行うクロック周波数に修正する位相補正データを生成する制御信号生成回路と、
前記同期網の送信データを蓄積する送信データ蓄積回路と、
前記送信データ蓄積回路に蓄積された送信データと制御信号生成回路で生成された位相補正データとを合成した合成データを生成し、この合成データを非同期網に伝送するデータ多重回路と、
前記非同期網を通過した合成データを受信し蓄積する受信データ蓄積回路と、
前記非同期網を通過した合成データから位相補正データを検出する制御信号検出回路と、
前記制御信号検出回路で検出された位相補正データに基づき前記受信データ蓄積回路に蓄積された受信データを読み出すクロックを生成する位相制御発振回路と、
を備えたことを特徴とする位相補正伝送システム。

【請求項2】 前記請求項1に記載された位相補正伝送システムの位相比較回路と、前記制御信号生成回路と、送信データ蓄積回路と、データ多重回路と、を備えたことを特徴とする位相補正伝送装置。

【請求項3】 前記請求項1又は請求項2に記載された位相補正伝送システムの受信データ蓄積回路と、制御信号検出回路と、位相制御発振回路と、を備えたことを特徴とする位相補正伝送装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は位相補正伝送システム及び位相補正伝送装置に関する。特に本発明は、それぞれ同一クロック周波数でデータを伝送する同期網間にこの同期網とは異なるクロック周波数でデータを伝送する非同期網を仲介したデータ伝送網において、同期網と非同期網との間で伝送されるデータの欠落、重複を防止する位相補正伝送システム及びこの位相補正伝送システムに組み込まれる位相補正伝送装置に関する。

【0002】

【従来の技術】 会社内に専用社内回線を配設し、社内における電話連絡の充実、ファクシミリやパーソナルコンピュータによるデータの転送の充実を図る企業が増加しつつある。専用社内回線においては、同一クロック周波

数、例えば64kbit/sの転送速度でデータが伝送される。

【0003】 例えば、系列会社等、互いの設立地域が遠隔の場合、それぞれの地域に設立された会社の専用社内回線はいずれも同一クロック周波数に設定されていても一般電話回線を仲介し互いに接続する必要がある。遠隔な地域に渡って専用社内回線を接続するためのケーブルを独自に設置するには多大なコストが必要になる。通常、1つの会社の社内のデータの伝送には専用社内回線が使用され、複数の会社のそれぞれの専用社内回線間を接続する場合には専用社内回線とともに一般電話回線が併用される。一般電話回線には例えば128kbit/sのデータ転送速度を有する接続用端末(DSU)が準備されており、専用社内回線は前記接続用端末に接続される。

【0004】

【発明が解決しようとする課題】 しかしながら、上記データ伝送システムにおいては以下の点の配慮がなされていない。遠隔な地域に設立された会社のそれぞれの専用社内回線が同一クロック周波数でデータを転送する同期網であっても、一般電話回線が異なるクロック周波数でデータを転送する非同期網であるために、同期網と非同期網との間でクロック周波数の整合性が確保できない。このため、クロック周波数の位相ずれに起因するデータの欠落、重複が発生し、データ伝送には不適切であるという問題があった。

【0005】 本発明は上記課題を解決するためになされたものであり、本発明の目的は、非同期網を仲介する同期網間のデータ伝送に際し、同期網と非同期網との間のデータ伝送の整合性を確保し、データの欠落、重複が安価に防止できる位相補正伝送システムを提供することにある。さらに、本発明の目的は、前記位相補正伝送システムを構築する位相補正伝送装置の提供にある。

【0006】

【課題を解決するための手段】 上記課題を解決するために、請求項1に記載された発明は、位相補正伝送システムにおいて、それぞれ同一クロック周波数でデータを伝送する複数の同期網と、前記複数の同期網の間に介在し、これらの同期網のクロック周波数とは異なるクロック周波数でデータを伝送する非同期網と、前記同期網のクロック周波数と非同期網のクロック周波数との間のクロック周波数の位相比較を行う位相比較回路と、前記位相比較回路で得られたクロック周波数の位相比較に基づき、前記同期網でデータ伝送を行うクロック周波数に修正する位相補正データを生成する制御信号生成回路と、前記同期網の送信データを蓄積する送信データ蓄積回路と、前記送信データ蓄積回路に蓄積された送信データと制御信号生成回路で生成された位相補正データとを合成した合成データを生成し、この合成データを非同期網に伝送するデータ多重回路と、前記非同期網を通過した合

成データを受信し蓄積する受信データ蓄積回路と、前記非同期網を通過した合成データから位相補正データを検出する制御信号検出回路と、前記制御信号検出回路で検出された位相補正データに基づき前記受信データ蓄積回路に蓄積された受信データを読み出すクロックを生成する位相制御発振回路と、を備えたことを特徴とする。

【0007】請求項2に記載された発明は、位相補正伝送装置において、前記請求項1に記載された位相補正伝送システムの位相比較回路と、前記制御信号生成回路と、送信データ蓄積回路と、データ多重回路と、を備えたことを特徴とする。

【0008】請求項3に記載された発明は、位相補正伝送装置において、前記請求項1又は請求項2に記載された位相補正伝送システムの受信データ蓄積回路と、制御信号検出回路と、位相制御発振回路と、を備えたことを特徴とする。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について説明する。図1は本発明の実施形態に係る位相補正伝送システムのシステム構成図である。位相補正伝送システムは、それぞれ同一クロック周波数でデータ伝送を行う複数の同期網（主局、従局）1と、この同期網1とは異なるクロック周波数でデータ伝送を行う非同期網2とを備え、構築される。本実施形態に係る位相補正伝送システムにおいて、同期網1は64kbit/sのクロック周波数でデータ伝送が行われる。非同期網2は例えば一般電話回線であり、この非同期網2は128kbit/sのクロック周波数でデータ伝送が行われる。一方の同期網（主局）1から他方の同期網（従局）1へのデータ伝送は非同期網2を仲介し行われる。

【0010】前記位相補正伝送システムにおいては、非同期網2とのインターフェイス回路として同期網1内に位相補正伝送装置3が配置される。この位相補正伝送装置3は、一方の同期網1でデータ伝送を行うクロック周波数に他方の同期網1でデータ伝送を行うクロック周波数を従属同期させ、同期網1相互間のデータ伝送を同一クロック周波数で実現できる。さらに詳細には、一方の同期網1の位相補正伝送装置3は一方の同期網1の位相補正データを非同期網2を介して他方の同期網1の位相補正伝送装置3に伝送し、この他方の同期網1の位相補正伝送装置3は位相補正データに基づきクロック周波数を従属同期させ、同期網1間においてデータ伝送が行える。

【0011】図2は前記位相補正伝送装置3の回路構成図である。位相補正伝送装置3は、入力側に同期検出回路31、受信データ蓄積回路32、制御信号検出回路33、デジタル式位相制御発振回路34を備え、出力側に位相比較回路35、クロック抽出回路36、制御信号生成回路37、送信データ蓄積回路38、データ多重回路39を備える。

【0012】前記出力側の位相比較回路35は同期網1のクロック周波数と非同期網2のクロック周波数との間のクロック周波数の位相比較を常時行う。非同期網2のクロック周波数はクロック抽出回路36を通して抽出され、この抽出されたクロック周波数が位相比較回路35に入力される。制御信号生成回路37は、位相比較回路35で得られたクロック周波数の位相比較結果に基づき、前記同期網1においてデータ伝送を行うクロック周波数に修正する位相補正データを生成する。送信データ蓄積回路38は同期網1から他の同期網1に送信する送信データを蓄積する。送信データ蓄積回路38においては、同期網1のクロック周波数に同期してデータが蓄積され、蓄積されたデータは非同期網2のクロック周波数で読み出される。送信データ蓄積回路38はデータ残数を常時監視し、所定データ残数を逸脱しない制御がなされる。データ多重回路39は、送信データ蓄積回路38に蓄積された送信データと制御信号生成回路37で生成された位相補正データとを合成した合成データを生成し、この合成データを非同期網2を介して他の同期網1に送信する。

【0013】前記入力側の同期検出回路31は他の同期網1から非同期網2を通してこの同期網1に受信された合成データの同期検出を行う。受信データ蓄積回路32は同期がとられた合成データを受信し蓄積する。制御信号検出回路33は合成データから位相補正データを検出する。デジタル式位相制御発振回路34は、制御信号検出回路33で検出された位相補正データに基づき同期網1において前記受信データ蓄積回路32に蓄積された受信データを読み出すクロックを生成する。

【0014】図3は位相補正伝送装置3で生成される合成データの一例のフレームフォーマット図である。合成データは非同期網2である回線でデータ伝送が行える128kbit/sのフレームフォーマットで形成される。合成データは8bit毎に制御データ、送信データを繰り返し交互に配列し構成される。制御データは、同期網1間で伝送する送信データを非同期網2に伝達した際に余裕として残るbitに書き込まれる。制御データとしては、同期信号SYNC、位相補正データ（クロック補正データ）CK ST、データ総数制御データD ST、データ残数制御データDATA（+）、DATA（-）が合成データに組み込まれる。データ残数制御データDATA（+）は送信データ蓄積回路38のデータ残数が多くなったときに余剰データとして挿入される。データ残数制御データDATA（-）は送信データ蓄積回路38のデータ残数が少なくなったときに空データとして送出される。送信データは64kbit/sデータDATAとして組み込まれる。

【0015】次に、位相補正伝送システムのクロック周波数従属同期方法について説明する。図2において、主局となる同期網1からこの同期網1内部に配置された位

相補正伝送装置3の送信データ蓄積回路38に送信データが蓄積される。送信データは同期網1のクロック周波数において伝送される。一方、クロック抽出回路36は非同期網2のクロック周波数を抽出し、位相比較回路35はこの非同期網2のクロック周波数と同期網1のクロック周波数との位相差を常時監視する。つまり、位相比較回路35においては、同期網1のクロック周波数を分周したクロックにより非同期網2から抽出したクロック周波数をサンプリングし、クロック周波数の変化点が検出される。サンプリング結果が前回のサンプリング結果と一致した場合（デジタル信号の“L”又は“H”）はクロック周波数の位相ずれが存在する場合であり、この場合には制御信号生成回路37においてクロック周波数の位相ずれが存在する位相補正データCK ST（-又は+）が生成される。逆に、サンプリング結果が不一致の場合はクロック周波数の位相ずれが存在しない場合であり、この場合には制御信号生成回路37においてクロック周波数の位相ずれが存在しない位相補正データCK

ST（±0）が生成される。制御信号生成回路37は送信データ蓄積回路38に蓄積された送信データに基づきデータ残数制御データDATA（+）、DATA

（-）、位相比較回路35の位相比較結果に基づき位相補正データCK ST及び非同期網2のクロック周波数から非同期網2で同期が確立できる同期信号SYNCを生成する。データ多重回路39は、前記図3に示すフレームフォーマットに従い送信データ蓄積回路38に蓄積された送信データと制御信号生成回路37で生成された制御データとを重ね合わせて合成データを作成する。この合成データは非同期網2のクロック周波数において非同期網2に伝送される。

【0016】従局となる同期網1においては、主局となる同期網1から非同期網2を通して伝送される合成データが位相補正伝送装置3の同期検出回路31に受信され、この同期検出回路31は合成データの同期検出を行う。同期確立後、受信された合成データは非同期網2のクロック周波数において受信データ蓄積回路32に蓄積される。合成データの受信データ蓄積回路32への蓄積に際しては、制御信号検出回路33により合成データに組み込まれた制御データのうちデータ残数制御データDATA（+）、DATA（-）に基づき蓄積される合成データ数が制御される。受信データ蓄積回路32に蓄積された合成データのうち送信データは、制御データの位相補正データCK STに基づきデジタル式位相制御発振回路34から発振されるクロック周波数又は同期網1

のデータ伝送を行うクロック周波数において同期網1内部に読み出される。制御信号検出回路33において、クロック周波数の位相ずれが存在する位相補正データCK

ST（-又は+）が検出された場合には、同期網1内の内部発振器の1クロック少ない又は多いクロック周波数でデジタル式位相制御発振回路34が駆動され、同期網1間のクロック周波数の位相ずれが補正される。クロック周波数の位相ずれが存在しない位相補正データCK

ST（±0）が検出された場合には、同期網1内の内部発振器のクロック周波数でデジタル式位相制御発振回路34が駆動される。このように、主局となる同期網1のクロック周波数と従局となる同期網1のクロック周波数との間は「（同期網1内の内部発振器）分の1」の位相差で動作させることができる。従って、主局となる同期網1から伝送される合成データの制御データとして組み込まれる位相補正データCK STに基づき、従局となる同期網1のデータ伝送を行うクロック周波数は主局となる同期網1のデータ伝送を行うクロック周波数に従属同期し、双方の同期網1間のデータ伝送がデータの欠落又は重複を防止した状態で実現できる。しかも、同期網1間に独自に専用ケーブルを設置する必要がなく、一般電話回線を有効に利用できるため、位相補正伝送システムの構築が安価に実現できる。

【0017】

【発明の効果】本発明においては、非同期網を仲介する同期網間のデータ伝送に際し、同期網と非同期網との間のデータ伝送の整合性を確保し、データの欠落、重複が安価に防止できる位相補正伝送システムが提供できる。さらに、本発明においては、前記位相補正伝送システムを構築する位相補正伝送装置が提供できる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る位相補正伝送システムのシステム構成図である。

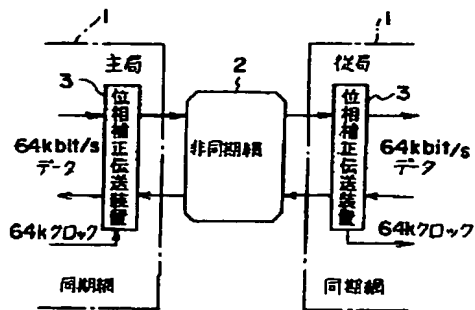
【図2】 前記位相補正伝送装置の回路構成図である。

【図3】 前記位相補正伝送装置で生成される合成データの一例のフレームフォーマット図である。

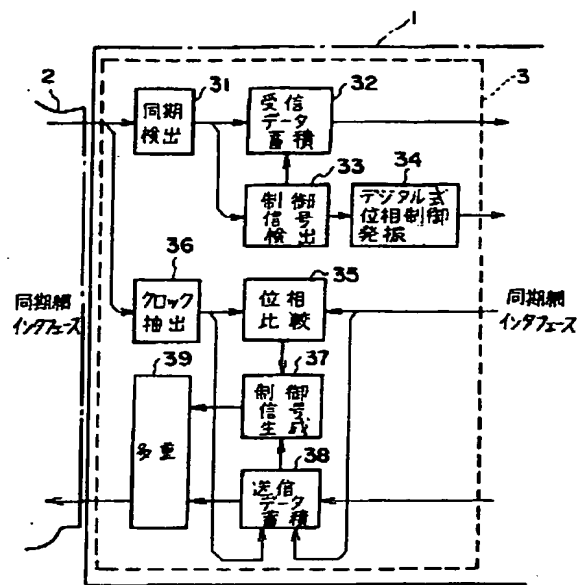
【符号の説明】

1 同期網、2 非同期網、3 位相補正伝送装置、31 同期検出回路、32 受信データ蓄積回路、33 制御信号検出回路、34 デジタル式位相制御発振回路、35 位相比較回路、36 クロック抽出回路、37 制御信号生成回路、38 送信データ蓄積回路、39 データ多重回路。

【図1】



【図2】



【図3】

